

(2) Japanese Patent Application Laid-Open No. 06-216333 (1994)

**“METHOD OF MANUFACTURING SEMICONDUCTOR MEMORY
DEVICE”**

The following is an English translation of an extract of the above application.

5

The present invention relates to a method of manufacturing a semiconductor memory device comprised of a memory cell consisting of MOS transistor and a stacked capacitor, and a peripheral circuit including MOS transistor.

As shown in Fig. 2, phosphorus ion P^+ implantation with a dose of $2 \times 10^{13} \text{cm}^{-2}$ is performed in a memory cell region and a peripheral circuit region to form a source/drain of a memory transistor. And as shown in Fig. 3, an oxide film 6 with a thickness of 300 nm is deposited using LPCVD method as an interlayer dielectric film and a mask 7 for a contact hole is formed using lithography method.

Next, a contact hole 8 shown in Fig. 4 is formed using a dry etching method, and then a photoresist 7 is removed. And a polycrystal silicon film to be a storage electrode with a thickness of 300 nm is deposited using LPCVD method, and is made into low resistivity by performing phosphorus diffusion using POCl_3 at a temperature of 900°C for 30 minutes. After that, a storage electrode 9 shown in Fig. 5 is formed by photolithography method or the dry etching method.

Next, as an insulating film for forming a capacitor, a SiN film with a thickness of 10 nm is deposited using LPCVD method, and the heat treatment at a temperature of 900°C is carried out in oxygen atmosphere for 120 minutes in order to oxidize a surface of the SiN film. And the polycrystal silicon film to be a cell plate electrode with a thickness of 150 nm is deposited using LPCVD method, and is also made into low resistivity by performing phosphorus diffusion using POCl_3 at a temperature of 900°C for 20 minutes. After that,

the cell plate and the SiN film are patterned using photolithography method or dry etching method, thereby forming a stacked capacitor having a structure in which a SiN film 10 shown in Fig. 6 is interposed between the storage electrode 9 and a cell plate 11.

Next, as shown in Fig. 7, photoresist 12 covering the memory cell region is formed, and arsenic As⁺ ion implantation with a dose of $5 \times 10^{15} \text{cm}^{-2}$ is performed only in the peripheral circuit region using the photoresist 12 as a mask so that a peripheral circuit transistor have a LDD structure. A reference numeral 13 denotes source/drain having a high concentration. Thereafter, the photoresist 12 is removed in Fig. 8.

(19)日本国特許庁 (J P)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平6-216333

(43)公開日 平成6年(1994)8月5日

(51)Int.Cl.⁵

H01L 27/108
29/784

識別記号

F I

7210-4M
9054-4M

H01L 27/10
29/78

325 C
301 M

審査請求 未請求 請求項の数 3 O L (全6頁)

(21)出願番号 特願平5-7697

(22)出願日 平成5年(1993)1月20日

(71)出願人 000005843

松下電子工業株式会社
大阪府高槻市幸町1番1号

(72)発明者 十代 勇治

大阪府門真市大字門真1006番地 松下電子
工業株式会社内

(72)発明者 上田 壮彦

大阪府門真市大字門真1006番地 松下電子
工業株式会社内

(72)発明者 内田 博文

大阪府門真市大字門真1006番地 松下電子
工業株式会社内

(74)代理人 弁理士 宮井 暎夫

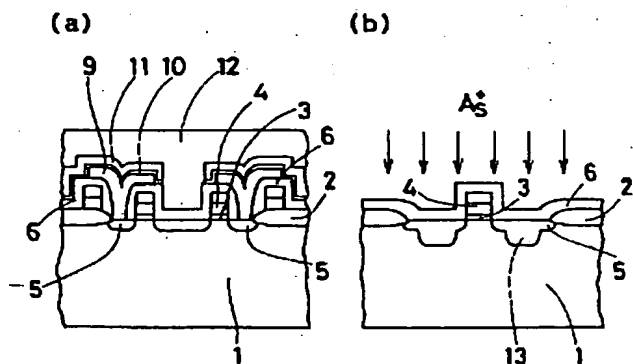
(54)【発明の名称】半導体記憶装置の製造方法

(57)【要約】

【目的】 高濃度ソース/ドレイン不純物の熱拡散を抑え、ショートチャンネル効果を抑制して安定なトランジスタ動作が実現可能な半導体記憶装置の製造方法を提供する。

【構成】 ゲート電極4のパターン形成後、低濃度のソース/ドレイン5の注入をメモリセルおよび周辺回路領域に行い、つづいてスタック型キャパシタ9、10、11を先に形成する。その後、周辺回路領域に高濃度ソース/ドレイン13の注入を行いLDDトランジスタを形成する。

【効果】



- 1 p型シリコン基板
- 2 分離酸化膜
- 3 ゲート酸化膜
- 4 ゲート電極
- 5 ソース/ドレイン
- 6 酸化膜
- 9 蓄積電極
- 10 SiN膜
- 11 セルプレート
- 12 ホトレジスト
- 13 ソース/ドレイン

【特許請求の範囲】

【請求項1】 MOSトランジスタおよびスタック型構造のキャパシタからなるメモリセルと、MOSトランジスタを含む周辺回路とで構成された半導体記憶装置の製造方法であって、

メモリセルおよび周辺回路トランジスタのゲート電極を形成後、第1のソース/ドレイン注入をメモリセル領域および周辺回路領域に行い、通常構造のメモリセルトランジスタを形成する工程と、

つづいて前記スタック型構造のキャパシタを形成する工程と、

その後前記メモリセル領域をホトレジストで覆い、前記周辺回路領域のみに第2のソース/ドレイン注入を前記第1のソース/ドレイン注入より高濃度で行い、LDD構造の周辺回路トランジスタを形成する工程とを含むことを特徴とする半導体記憶装置の製造方法。

【請求項2】 メモリセルにおけるトランジスタゲート電極とスタック型キャパシタとの層間絶縁膜を、周辺回路トランジスタゲート電極側壁およびソース/ドレイン領域表面に残して、第2のソース/ドレイン注入を行う請求項1記載の半導体記憶装置の製造方法。

【請求項3】 メモリセルにおけるトランジスタゲート電極とスタック型キャパシタとの層間絶縁膜を、スタック型キャパシタ形成後、異方性エッチングにより周辺回路トランジスタゲート電極側壁にのみ残して、第2のソース/ドレイン注入を行う請求項1記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、MOSトランジスタおよびスタック型キャパシタからなるメモリセルと、MOSトランジスタを含む周辺回路とで構成された半導体記憶装置の製造方法に関するものである。

【0002】

【従来の技術】 素子の高集積化に伴い、トランジスタのゲート寸法は微細化される。ゲート寸法が細くなることにより、ホットエレクトロンを主原因としたトランジスタ特性の変動が問題となり、またソース/ドレイン間でのパンチスルー現象が発生しやすくなるなど様々な問題が発生する。これらゲート寸法の縮小に依存した現象を一般にショートチャンネル効果と総称している。

【0003】 ホットエレクトロンは、ドレイン領域近くの高電界でエレクトロンが加速されることにより発生するもので、信頼性を向上させるためにはドレイン領域端の電界を緩和させる必要があり、ドレイン領域の不純物分布をなだらかにするLDD(Lightly-Doped-Drain)構造が提案され、現在一般に用いられている。また、パンチスルー現象はドレイン領域の空乏層の広がり、ソース領域にまで入り込むことにより発生する現象であり、ゲート寸法に大きく依存する。

【0004】 ゲート寸法はゲート電極をパターンニングするマスク寸法と、エッチング特性により決定される。しかし厳密にはソース/ドレイン領域に注入された不純物の熱拡散により、構造上のゲート寸法より短くなる。このソース/ドレイン間の実質的なゲート寸法は一般に実効チャンネル長と呼ばれており、ショートチャンネル効果は、厳密にはこの実効チャンネル長に依存する。素子の高集積化により構造上のゲート寸法を縮小せざるを得ない現在、実効チャンネル長を大きくするためには、ソース/ドレインの不純物の熱拡散をできるだけ抑えることが必要である。

【0005】 トランジスタとキャパシタからなるメモリセルを有する半導体記憶装置において、例えばDRAMではキャパシタ構造にスタック型構造のキャパシタが広く用いられている。これはキャパシタ部をトランジスタ上部に積み上げた構造であるため、高集積化に有利であるからである。以下、従来の技術による半導体記憶装置の製造方法について図11～図18に示す工程順断面図により説明する。なお、図11～図18において(a)はメモリセル領域、(b)は周辺回路領域断面を示している。

【0006】 まず、図11に示すように、p型シリコン基板1表面にLOCOS法により分離酸化膜2を形成して素子間分離を行い、つづいて素子領域表面にゲート酸化膜3を熱酸化法により形成する。その後、LPCVD法により多結晶シリコン膜および酸化膜を堆積して、ホトリソグラフィ法およびドライエッチング法によりゲート電極4を形成する。

【0007】 つぎに、図12に示すように、メモリセル領域および周辺回路領域にリンイオンP⁺を $2 \times 10^{11} \text{ cm}^{-2}$ 注入し、メモリセルトランジスタのソース/ドレイン5を形成する。つづいて、LPCVD法により酸化膜を300nm堆積し、一様に異方性エッチングを行うことにより、ゲート電極側壁に図13に示すようなサイドウォール14を形成する。

【0008】 その後、図14に示すように、メモリセル領域を覆うホトレジスト12を形成して、このホトレジストをマスクにして周辺回路領域にのみ砒素イオンAs⁺を $5 \times 10^{11} \text{ cm}^{-2}$ 注入し、周辺回路トランジスタをLDD構造にする。13は高濃度ソース/ドレインを示す。つぎに、ホトレジスト12を除去した後、層間絶縁膜として酸化膜6をLPCVD法により200nm堆積し、図15に示すようなコンタクトホール用マスク7をリソグラフィ法により形成する。

【0009】 つづいて、ドライエッチング法により図16に示すようなコンタクトホール8を形成し、その後ホトレジスト7を除去する。つづいて、蓄積電極となる多結晶シリコン膜をLPCVD法により300nm堆積し、POC1₁を用いたリン拡散を900℃30分行い低抵抗化する。その後、ホトリソグラフィ法およびド

ライエッチング法により図17に示すような蓄積電極9を形成する。

【0010】つぎに、キャパシタを形成するための絶縁膜として、SiN膜をLPCVD法により10nm堆積し、SiN膜表面を酸化するため酸素雰囲気中で900℃120分の熱処理を行う。その後、セルプレート電極となる多結晶シリコン膜を150nmLPCVD法により堆積し、同じく低抵抗化するためのリン拡散を900℃で20分間行う。その後、ホトリソグラフィー法およびドライエッチング法によりセルプレートとSiN膜をバターンニングし、図18に示すようなSiN膜10を蓄積電極9とセルプレート11で挟んだ構造のスタック型キャパシタを形成する。

【0011】

【発明が解決しようとする課題】しかしながら、前記従来の技術による半導体記憶装置の製造方法には、つぎのような問題がある。周辺回路トランジスタの高濃度ソース/ドレイン形成後、キャパシタ形成を行うため、高温での熱処理時間が長くなり、高濃度ソース/ドレインの不純物が熱拡散することにより実効チャンネル長を短くする。例えば前記従来の技術による製造方法では、高濃度ソース/ドレイン注入後、900℃での熱処理が170分間行われ、周辺回路トランジスタにおいては図18(b)に示すようにLDDの効果が減少し、ショートチャンネル効果が発生する。

【0012】この発明は、ショートチャンネル効果の少ない安定したトランジスタ動作が実現できる半導体記憶装置の製造方法を提供することである。

【0013】

【課題を解決するための手段】この発明の半導体記憶装置の製造方法は、ゲート電極パターン形成後、低濃度のソース/ドレイン注入を行い、つづいてスタック型キャパシタを先に形成する。その後、周辺回路領域に高濃度ソース/ドレイン注入を行いLDDトランジスタを形成させる。

【0014】高濃度ソース/ドレイン注入時、周辺回路トランジスタをLDD構造とするため、ゲート電極側壁にメモリセルトランジスタとスタック型キャパシタとの層間絶縁膜を残して用いる。この層間絶縁膜は異方性エッチングせず用いることも可能であるし、従来と同様に異方性エッチングによりサイドウォールとしてもよい。

【0015】

【作用】この発明の半導体記憶装置の製造方法によれば、高濃度ソース/ドレイン注入後は高温熱処理がない。したがって、高濃度ソース/ドレインの不純物の熱拡散が抑えられ、ショートチャンネル効果の少ない安定したトランジスタ動作が実現できる。

【0016】

【実施例】以下、この発明の一実施例について図面を用いて説明する。図1～図8はこの発明の一実施例を示す

工程順断面図である。なお、図1～図8において、図11～図18と同一部分には同一符号を付している。また、(a)はメモリセル領域、(b)は周辺回路領域断面を示している。

【0017】まず、図1に示すように従来の技術と同一の方法を用いて、p型シリコン基板1表面にLOCOS法により分離酸化膜2を形成して素子間分離を行い、つづいて素子領域表面にゲート酸化膜3を熱酸化法により形成する。その後、LPCVD法により多結晶シリコン膜および酸化膜を堆積して、ホトリソグラフィー法およびドライエッチング法によりゲート電極4を形成する。

【0018】つぎに、図2に示すようにメモリセル領域および周辺回路領域にリンイオンP⁺を $2 \times 10^{11} \text{ cm}^{-2}$ 注入し、メモリセルトランジスタのソース/ドレイン5を形成する。つづいて、図3に示すように層間絶縁膜として酸化膜6をLPCVD法により300nm堆積し、コンタクトホール用マスク7をリソグラフィー法により形成する。

【0019】つづいて、ドライエッチング法により図4に示すようなコンタクトホール8を形成し、その後ホトレジスト7を除去する。つぎに、蓄積電極となる多結晶シリコン膜をLPCVD法により300nm堆積し、POCl₃を用いたリン拡散を900℃30分間行い低抵抗化する。その後、ホトリソグラフィー法およびドライエッチング法により図5に示すような蓄積電極9を形成する。

【0020】つぎに、キャパシタを形成するための絶縁膜として、SiN膜をLPCVD法により10nm堆積し、SiN膜表面を酸化するため酸素雰囲気中で900℃120分の熱処理を行う。その後、セルプレート電極となる多結晶シリコン膜を150nmLPCVD法により堆積し、同じく低抵抗化するためのリン拡散を900℃で20分間行う。その後、ホトリソグラフィー法およびドライエッチング法によりセルプレートとSiN膜をバターンニングし、図6に示すようなSiN膜10を蓄積電極9とセルプレート11で挟んだ構造のスタック型キャパシタを形成する。

【0021】その後、図7に示すようにメモリセル領域を覆うホトレジスト12を形成して、このホトレジストをマスクにして周辺回路領域にのみ砒素イオンAs⁺を $5 \times 10^{11} \text{ cm}^{-2}$ 注入し、周辺回路トランジスタをLDD構造にする。13は高濃度ソース/ドレインを示す。その後ホトレジスト12を除去する(図8)。この発明の他の実施例について説明する。図9に示すように、メモリセル領域を覆うホトレジスト12を形成して、このホトレジスト12をマスクにして異方性エッチングを行い、周辺回路トランジスタのゲート電極側壁にサイドウォール14を形成し、その後、同一マスクで周辺回路領域にのみ砒素イオンAs⁺を $5 \times 10^{11} \text{ cm}^{-2}$ 注入して周辺回路トランジスタをLDD構造にする。その後ホトレ

ジスト12を除去する(図10)。

【0022】

【発明の効果】この発明の半導体記憶装置の製造方法によれば、高濃度ソース/ドレイン注入後において900℃の熱処理はなくなる。その結果不純物の熱拡散が抑えられ、ショートチャンネル効果の少ない安定したトランジスタ動作が実現できる。

【図面の簡単な説明】

【図1】この発明の半導体記憶装置の製造方法の一実施例を示す工程順断面図である。

【図2】この発明の半導体記憶装置の製造方法の一実施例を示す工程順断面図である。

【図3】この発明の半導体記憶装置の製造方法の一実施例を示す工程順断面図である。

【図4】この発明の半導体記憶装置の製造方法の一実施例を示す工程順断面図である。

【図5】この発明の半導体記憶装置の製造方法の一実施例を示す工程順断面図である。

【図6】この発明の半導体記憶装置の製造方法の一実施例を示す工程順断面図である。

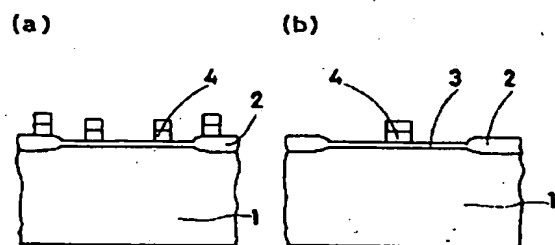
【図7】この発明の半導体記憶装置の製造方法の一実施例を示す工程順断面図である。

【図8】この発明の半導体記憶装置の製造方法の一実施例を示す工程順断面図である。

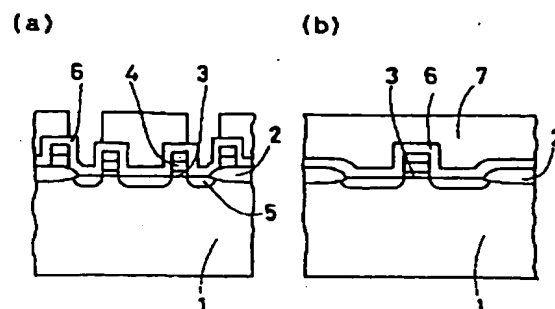
【図9】この発明の半導体記憶装置の製造方法の他の実施例を示す工程順断面図である。

【図10】この発明の半導体記憶装置の製造方法の他の実施例を示す工程順断面図である。

【図1】



【図3】



【図11】従来の半導体記憶装置の製造方法を示す工程順断面図である。

【図12】従来の半導体記憶装置の製造方法を示す工程順断面図である。

【図13】従来の半導体記憶装置の製造方法を示す工程順断面図である。

【図14】従来の半導体記憶装置の製造方法を示す工程順断面図である。

10 【図15】従来の半導体記憶装置の製造方法を示す工程順断面図である。

【図16】従来の半導体記憶装置の製造方法を示す工程順断面図である。

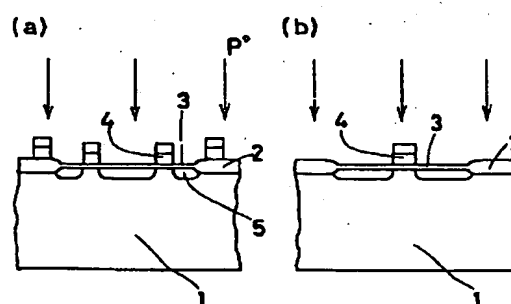
【図17】従来の半導体記憶装置の製造方法を示す工程順断面図である。

【図18】従来の半導体記憶装置の製造方法を示す工程順断面図である。

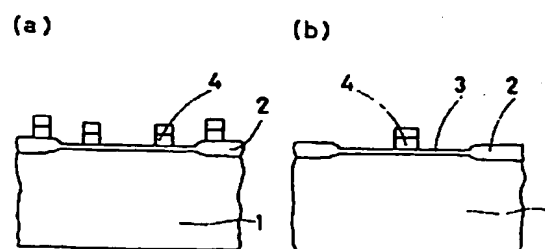
【符号の説明】

- 1 p型シリコン基板
- 2 分離酸化膜
- 3 ゲート酸化膜
- 4 ゲート電極
- 5 低濃度ソース/ドレイン
- 6 酸化膜
- 9 蓄積電極
- 10 SiN膜
- 11 セルプレート
- 12 ホトレジスト
- 13 高濃度ソース/ドレイン

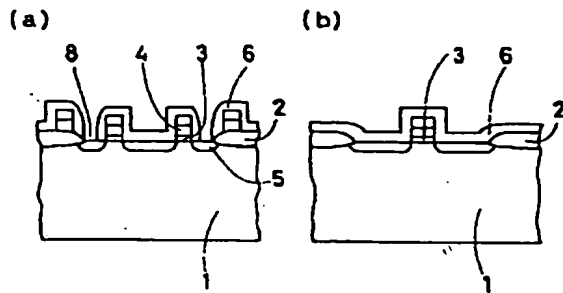
【図2】



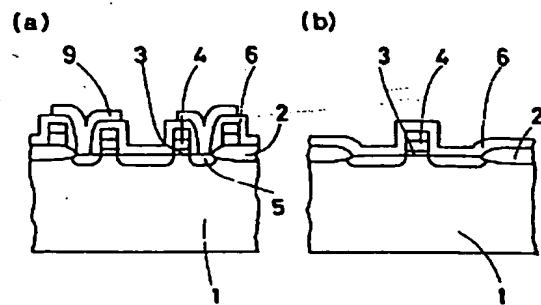
【図11】



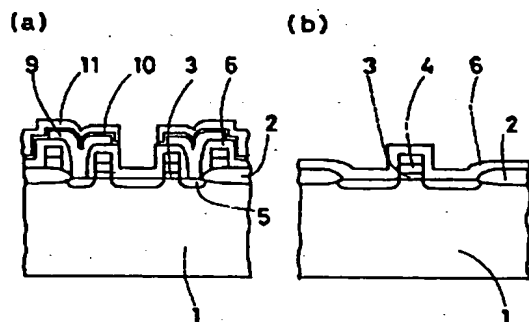
【図4】



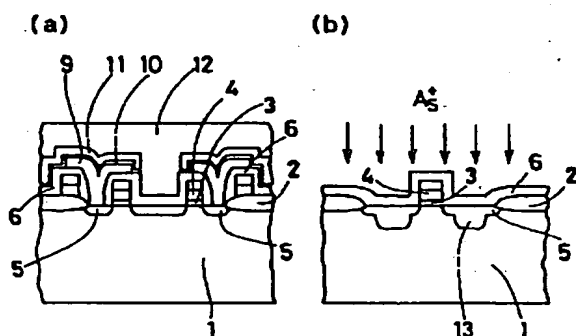
【図5】



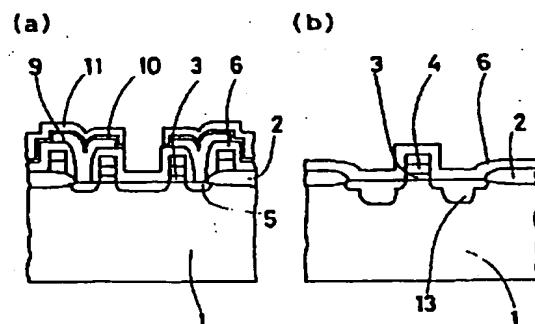
【図6】



【図7】

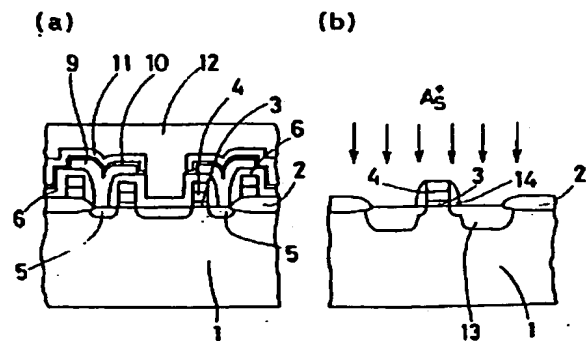


【図8】

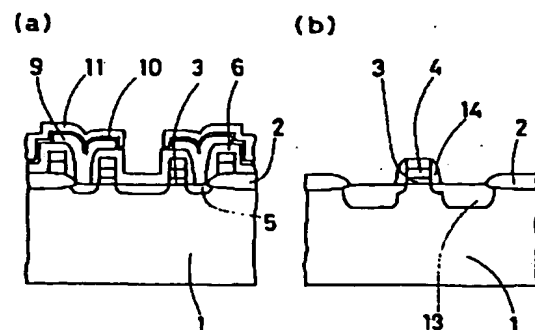


- 1 p型シリコン基板
- 2 分離酸化膜
- 3 ゲート酸化膜
- 4 ゲート電極
- 5 ソース/ドレイン
- 6 酸化膜
- 8 蓄積電極
- 9 SiN膜
- 10 セルプレート
- 11 ホトレジスト
- 13 ソース/ドレイン

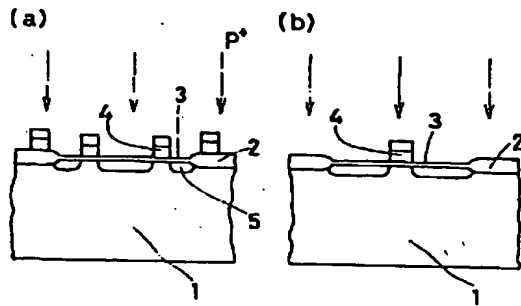
【図9】



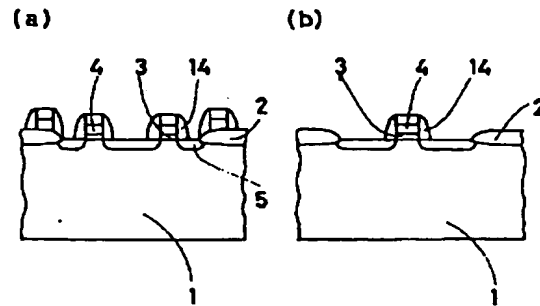
【図10】



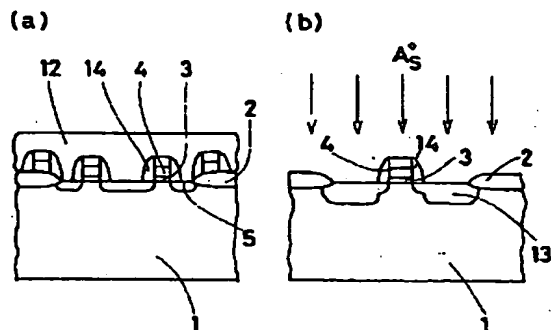
【図12】



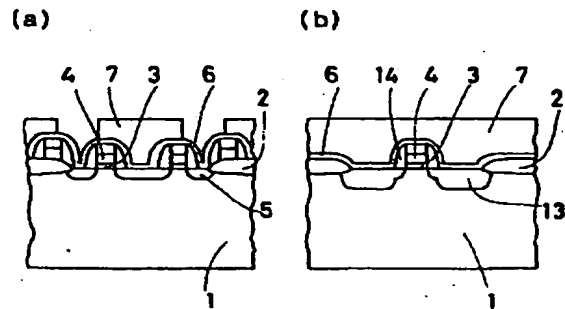
【図13】



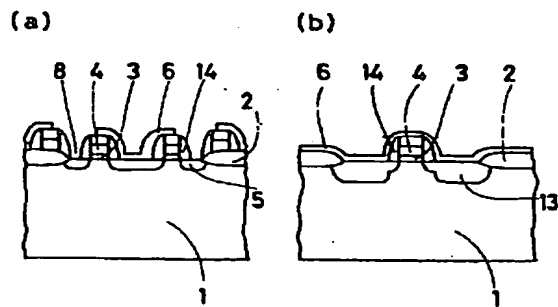
【図14】



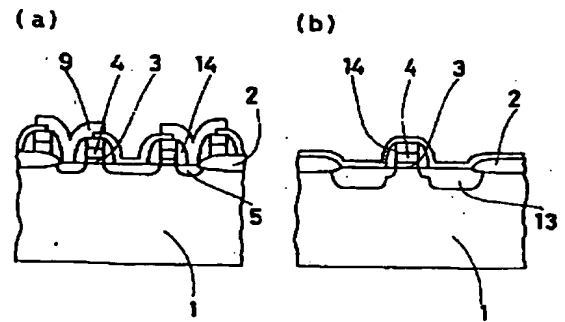
【図15】



【図16】



【図17】



【図18】

